

⑫ 公開特許公報(A)

昭63-253272

⑨ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)10月20日

G 01 R 31/28

G-6912-2G

審査請求 未請求 発明の数 2 (全4頁)

⑭ 発明の名称 スキャン可能なフリップフロップ回路及びスキャンデザイン回路の
テスト方法

⑮ 特 願 昭62-86975

⑯ 出 願 昭62(1987)4月10日

⑰ 発 明 者 平 林 莞 爾 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

スキャン可能なフリップフロップ回路及び
スキャンデザイン回路のテスト方法

2. 特許請求の範囲

(1) システムモードでは1相クロックのマスタス
レーブ型フリップフロップとして動作し、スキャ
ンモードでは2相クロックでラッチによるスタ
ティックな状態保持と負荷容量によるダイナミック
な状態保持を交互に繰返すことにより信号の伝送
を行なう。スキャン可能なフリップフロップ回路。

(2) CMOSで実現した上記回路において、ダイナ
ミックな状態保持を2相クロックの一方で制御さ
れるトランスファゲートと、それに接続するイン
バータ、又はこれと機能的に等価な回路で実現す
ることを特徴とする特許請求の範囲第1項記載の
スキャン可能なフリップフロップ回路。

(3) システムモードでは1相クロックのマスタス
レーブ型フリップフロップとして動作し、スキャ
ンモードでは2相クロックでラッチによるスタ

ティックな状態保持と負荷容量によるダイナミック
な状態保持を交互に繰返すことにより信号の伝送
を行ない、ダイナミックな状態保持を2相クロッ
クの一方で制御されるトランスファゲートと、そ
れに接続するインバータ、又はこれと機能的に等
価な回路で実現するCMOSで実現したスキャン可
能なフリップフロップ回路のダイナミック動作部
分がシステムモードで浮遊ノードを持ち異通電流
を生じること防止するために、2相クロックの
一方で制御されるトランスファゲートがシステム
モードでオン状態となるようにスキャンクロック
を設定することを特徴とするスキャンデザイン回
路のテスト方法。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は論理回路のテスト容易化に関する。

(従来技術)

スキャンデザインにおいては最少の付加回路で
システム動作速度の低下を最小限に抑えることが

重要である。そのためにスキャン可能なフリップフロップとして従来から種々の試みがなされているが、第6図と第7図はその例である。図においてCはシステムモードでのクロックで高速化のために1相クロックで動作させている。AとBはスキャンモードでの2相クロックであり、システムモードでは共にオフ状態にする。DIはデータ入力、Qは出力である。スキャンモードでは、AとBはクロックスキューの問題を避けるためにオン状態が重ならないようにする。Cはオフ状態である。SIはスキャン入力、SOはスキャン出力である。

第5図では反転したデータをスキャン入力し、スキャン出力することになる。第6図と第7図はシステムモードとスキャンモードの両方でマスタスレーブ型のフリップフロップとして動作するのが特徴である。

(発明が解決しようとする問題点)

第6図ではQとSOが共通であるためスキャンバスの配線によりシステム動作の速度が影響を受けるといふ欠点がある。第7図は、この欠点を除

おいて浮遊ノードを無くし貫通電流の発生を防止することができる。

(実施例)

第1図はこの発明の第1の実施例であり、Cがシステムモードでの1相クロック、AとBがスキャンモードでの2相クロックであり、DIとQがシステムモードでのデータ入力と出力、SIとSOがスキャン入力とスキャン出力である。第1図では反転したデータをスキャン入力し、スキャン出力することになる。第2図はこの発明の第2の実施例である。Cはシステムモードでの1相クロック、AとBはスキャンモードでの2相クロック、DIとQはシステムモードでのデータ入力と出力、SIとSOはスキャン入力とスキャン出力である。

第1の実施例の場合、スキャンモードでは、Cはオフ状態であるが、Bがオン状態、Aがオフ状態の時にラッチにスキャンデータが取込まれB、A共にオフ状態の時にラッチが安定状態になる。次にAがオン状態、Bがオフ状態になるとSOの負荷容量が充電される。この電荷はA、B共にオ

いているが、素子数が増えるという欠点加わっている。

(発明の構成)

(問題点を解決するための手段)

素子数を増さずに、スキャンバスの配線によるシステム動作速度の劣化を防ぐためにスキャンモードでの動作をマスタスレーブ型のフリップフロップ動作ではなく、2相クロックでラッチによるスタティックな状態保持と負荷容量によるダイナミックな状態保持を交互に繰り返すことによって信号伝送をする。

(作用)

ラッチの一方を負荷容量によるダイナミックな回路にすることにより素子数を減らすことができ、かつ安定したシフトレジスタ動作によるデータのスキャン入力、スキャン出力が出来る。スキャン入力したデータはラッチ部分にスタティックに保持してシステムモードで使用することができる。さらに、システムモードではスキャンバスの配線による速度劣化を防ぐと共にダイナミック回路に

フ状態になるまでの間保持されていれば良い。

第2の実施例の場合の動作も同様である。

このように、システムモードでは1相クロックのマスタスレーブ型、スキャンモードでは2相クロックのシフトレジスタの1ビットとして動作するフリップフロップにおいて、素子数を増さずに、スキャンバスの配線によるシステム動作速度の劣化を防止できるようになった。

第3図と第4図はこの発明の第3と第4の実施例であり、Cがシステムモードでの1相クロック、AとBがスキャンモードでの2相クロックであり、DIとQがシステムモードでのデータ入力と出力、SIとSOがスキャン入力とスキャン出力である。

第3図では反転したデータをスキャン入力し、スキャン出力することになる。

スキャンモードでは、Cはオフ状態であるが、Bがオン状態、Aがオフ状態の時にラッチにスキャンデータが取込まれB、A共にオフ状態になるとラッチが安定状態になる。次にAがオン状態、Bがオフ状態になるとSOの負荷容量が充電され

る。この電荷はA、B共にオフの状態を経て再びBがオン状態、Aがオフ状態になるまで間保持されていけばよい。

システムモードではA、B共にオフ状態にする。第3図、第4図において、ノードNは浮遊状態になる。したがってCMOSの場合、ノードNの電位がぶらつくと共に次段のインバータには貫通電流が生じ、消費電力を浪費することになる。これを防止するためにはシステムモードでBはオフ状態にするがAはオン状態にすれば良い。

第5図はスキャンデザイン回路のテストのためのタイミングチャートの例であるが、3ビットをスキャン入力し、1クロックのシステム動作の後、3ビットをスキャン出力している。第5図ではスキャン入力の際、ビット毎にデータが取り込まれるタイミングを矢印で示してある。またスキャン出力の際データが出力される範囲をビット毎に示してある。

スキャンクロックAはシステムモードではオン状態にし、スキャンモードではLとIテストのタ

イミングジェネレータを考慮して周期的で同一波形になるように設定してある。

上記各実施例ではシステムモードでセット、リセット機能を持たないDタイプのフリップフロップを例としたが、必要に応じてセット機能やリセット機能を追加して良く、さらにDタイプの代りにJKタイプでも良い。

〔発明の効果〕

システムモードでは1相クロックのカスタスレーブ型、スキャンモードでは2相クロックのシフトレジスタの1ビットとして動作するフリップフロップにおいて、スキャンモードで一部ダイナミック動作させることにより、素子数を増さずにスキャンパスの配線によるシステム動作速度の劣化を防止できるようになった。さらにシステムモードで、ダイナミック回路の浮遊状態を無くすることにより、消費電力の浪費を防止できるようになる。

4. 図面の簡単な説明

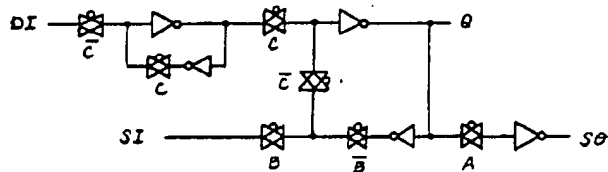
第1図、第2図、第3図、第4図はこの発明の

実施例の図、第5図はスキャンデザイン回路のテストのためのタイミングチャート図、第6図は従来のスキャン可能なフリップフロップの第1の例の図、第7図は従来のスキャン可能なフリップフロップの第2の例の図である。

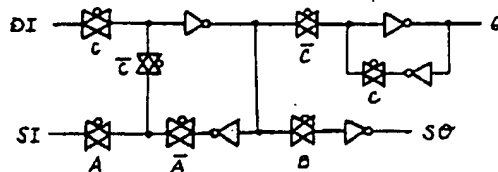
代理人 弁理士 則 近 應 佑

同 外 花 寛 久 明

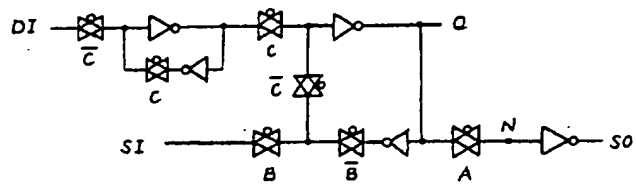
代理人 弁理士 松 山 允 之



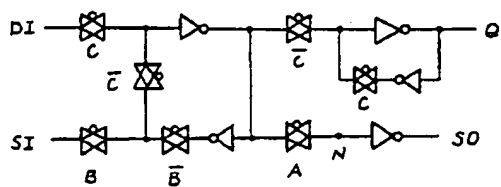
第 1 図



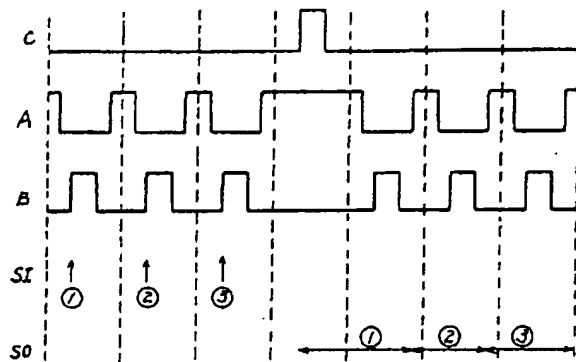
第 2 図



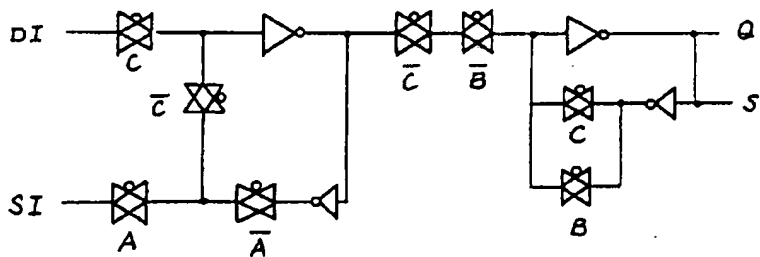
第 3 图



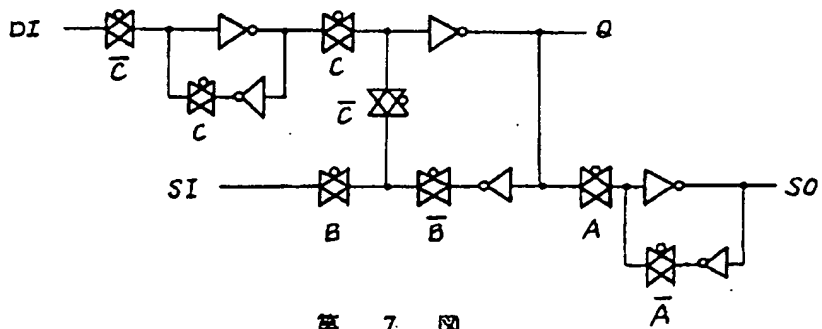
第 4 图



第 5 图



第 6 图



第 7 图